

THÈME 2006

Relevés sur plaquette CLIP MSP430F1132

1. Câblage du module MSP430H1132

	Port 1		Port 2		Port 3	
0	Sortie TEST1	21	Sortie PWR_ON	8	Sortie CE_LCD	11
1	Sortie TEST2	22	Entrée analogique FSK_ANA	9	Sortie SDIN	12
2	Sortie TEST3	23	Sortie RESET_LCD	10	Sortie D/C	13
3	Entrée dirigée vers CCI2A	24	Sortie démodulée RXD	19	Sortie SCLK	14
4	TCK JTAG		Sortie VREF+	20		15
5	TMS JTAG		Entrée SONNE	3	Entrée RXD	16
6	TDI JTAG					17
7	TDO JTAG				Sortie TEST4	18

2. Simulateur de trame CLIP

Implanté dans l'EPLD de la platine d'étude EP10K20 :

- Sortie TXD sur PA
- Sonnerie TTL sur PB
- Sortie analogique sur VI_OUT (amplitude c.c. $(100/128)*2=1,56V$)

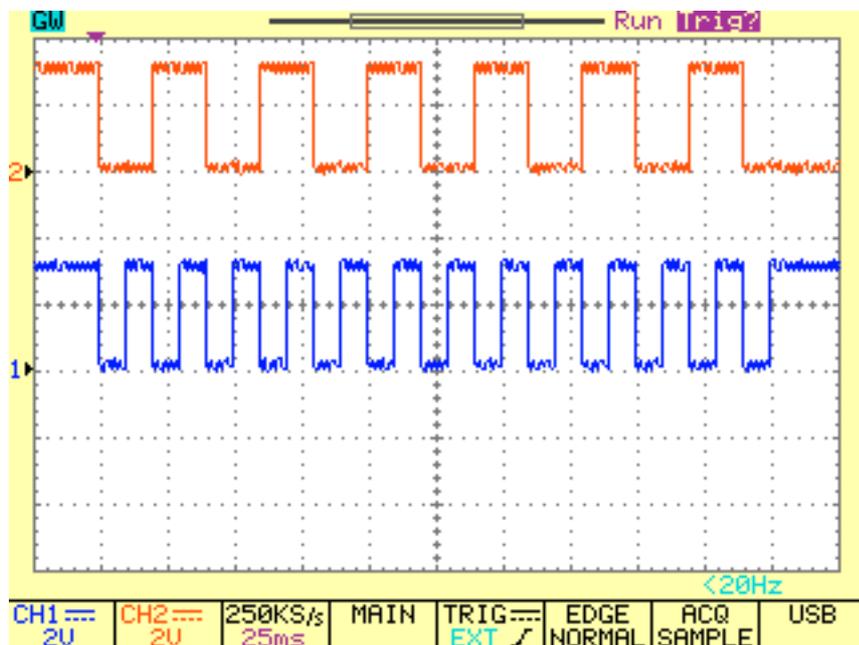
3. Détection sonnerie

Le programme du MSP430 est dans une boucle sans fin qui le met en mode LPM3 s'il n'y a rien à faire. Le signal de test TEST3 est inversé à chaque boucle.

Les flancs descendants de SONNE lancent un programme d'interruption et réveillent donc le CPU.

Le programme d'interruption Int_PA2 réalise les opérations suivantes :

- Compter le nombre d'activations
- Déclencher un monostable redéclenchable (avec TimerA) de durée 500mS



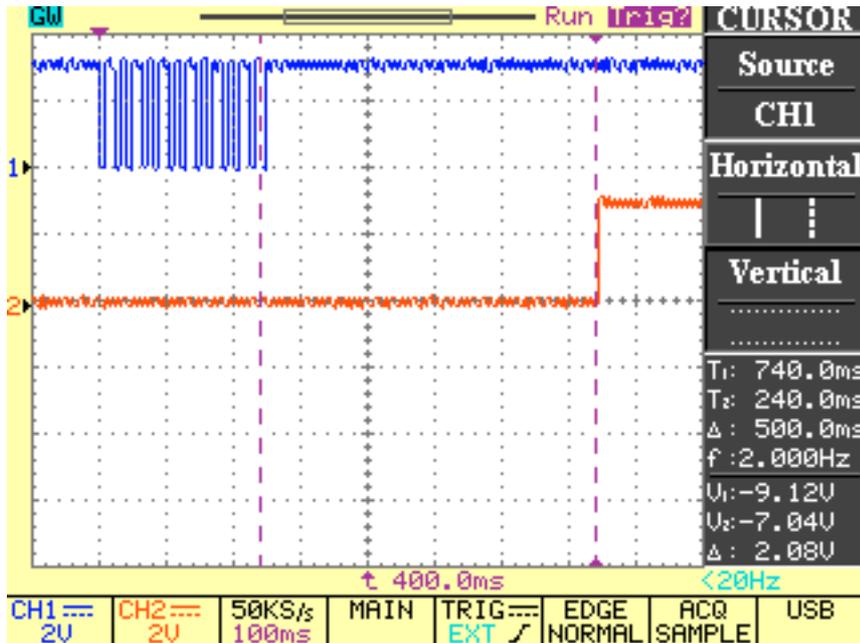
TEST3

SONNE

Conforme au résultat attendu

Un autre programme d'interruption est activé à la fin de la période monostable (Int_TAI). Celui-ci réalise les opérations suivantes si le nombre de périodes de sonnerie est > 10 :

- PWR_ON = "1" pour alimenter les Aops
- Activer la démodulation FSK par interruptions TimerA au retour d'int.



SONNE

PWR_ON

La durée de 500ms est respectée.

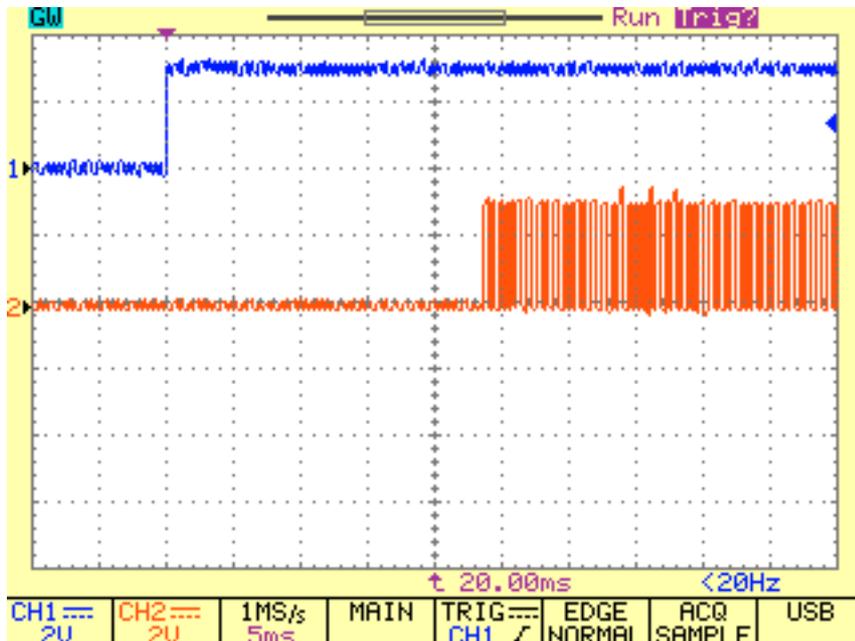
4. Activation de la démodulation FSK

La démodulation FSK est prise en charge par le programme d'interruption TIM_A_Int. Celui-ci est activé 6800 fois pas seconde 500mS après la première sonnerie.

Pour réaliser ce traitement, le programme Int_TAI, activé 500mS après la sonnerie, réalise les opérations suivantes :

- Horloge CPU et TimerA = $F_{DCO} = 1,9\text{MHz}$ typique (la consommation augmente)
- Activer la référence interne du CAN (pour utilisation extérieure)
- Initialiser le coupleur SPI pour réaliser la calibration "6800Hz"
- Calibrer la fréquence d'interruption à 6800Hz avec le quartz 32768Hz
- Initialiser l'USART en mode UART 1200 bauds (réception)
- Initialiser les variables utilisées par la démodulation

Pour observer les phases d'activité du programme d'interruption TIM_A_Int, le signal TEST1 est mis à "1" au début du traitement et remis à "0" à la fin.

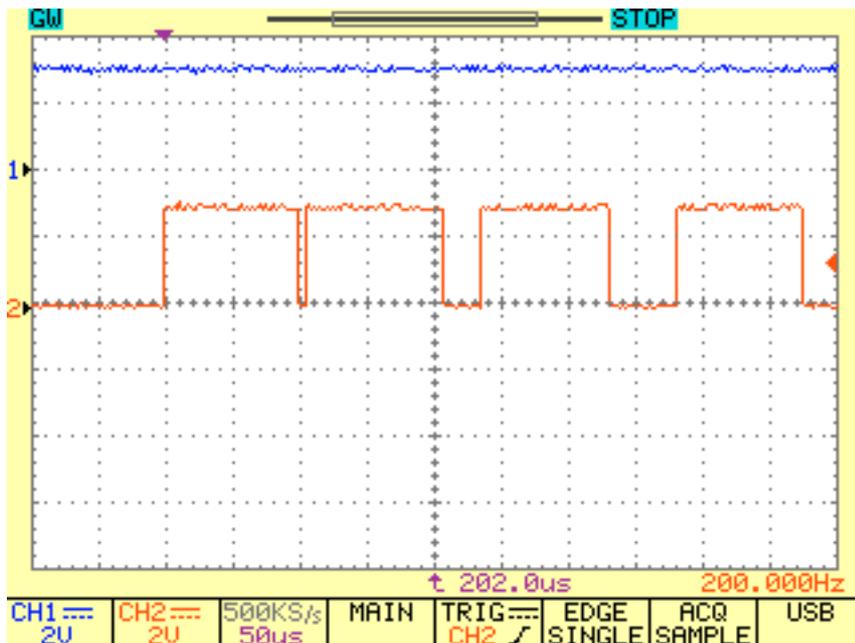


PWR_ON

TEST1

Les différentes opérations effectuées par Int_TAI durent environ 23,5mS. Ce délai supplémentaire n'est pas gênant.

5. Durée du programme d'interruption Tim A Int



PWR_ON

TEST1

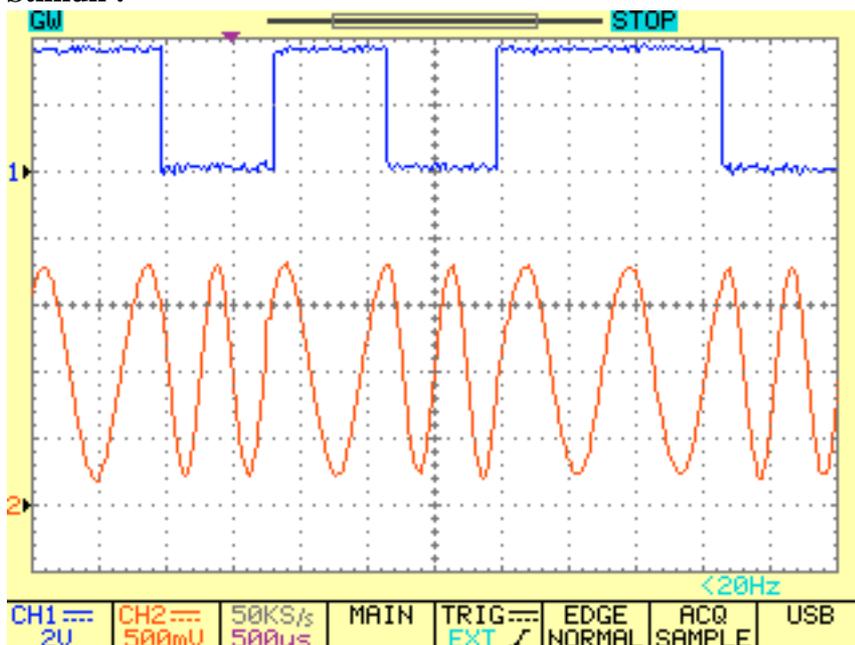
La 1^o activation du programme dure un peu plus longtemps que les autres, mais elle arrive au bout, ce qui est le principal.

Conclusion : l'horloge CPU est optimale pour consommer le minimum.

La fréquence du signal TEST1 est bien de 6800Hz (mesure au fréquencemètre)

6. Démodulation FSK

Stimuli :

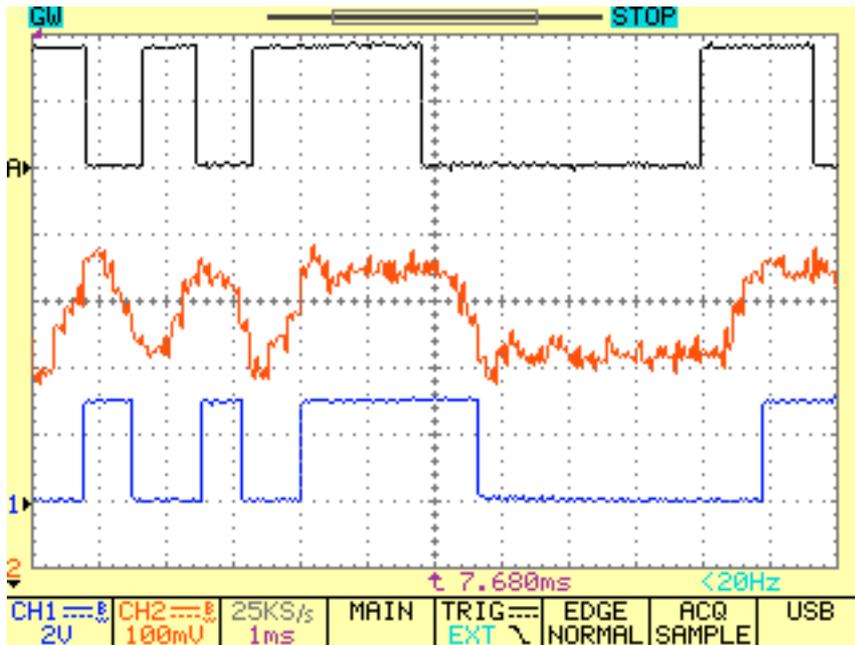


TXD (platine EPLD10K20)

Signal modulé FSK (platine EPLD10K20)

Le programme d'interruption "TIM_A_Int" est modifié pour sortir le résultat du filtre passe-bas sur le CNA 8 bits.

Niveau FSK injecté : 1,9V c.c.



TXD (platine ELPD10K20)

Sortie CNA (Vréf = 2,5V)

Ligne centrale = 1,25V (N=0)

Valeur c.c. = 0,13V ($\Delta N=3400$)

RXD obtenu avec hystérésis de 1000
(sur 16 bits)

La démodulation fonctionne de façon satisfaisante : le "jitter" est largement inférieur à $1/(2*1200)=400\mu\text{S}$ (tolérance de la réception asynchrone) : durée min = $600\mu\text{S}$, durée max = 1mS à comparer à la durée nominale de $833\mu\text{S}$ (erreur de $-233\mu\text{S}$ à $+167\mu\text{S}$)

Le retard est dû au traitement numérique mais n'a aucune incidence.

Le signal numérique en sortie du filtre passe-bas est appliqué à un comparateur à hystérésis pour éliminer les fronts parasites.

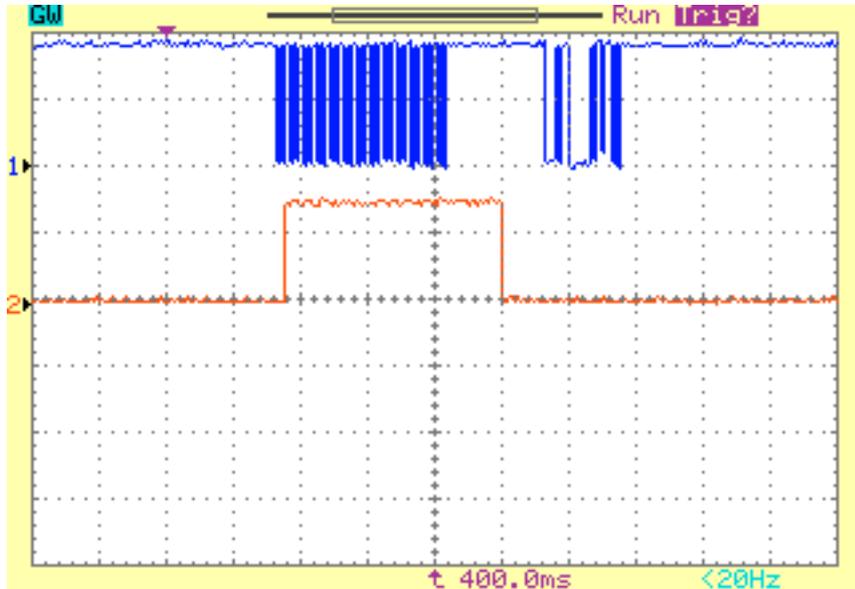
Le résultat est bon : RXD est la copie retardée de TXD.

La réception série asynchrone fonctionne de façon satisfaisante avec un tel signal.

7. Détection frame CLIP

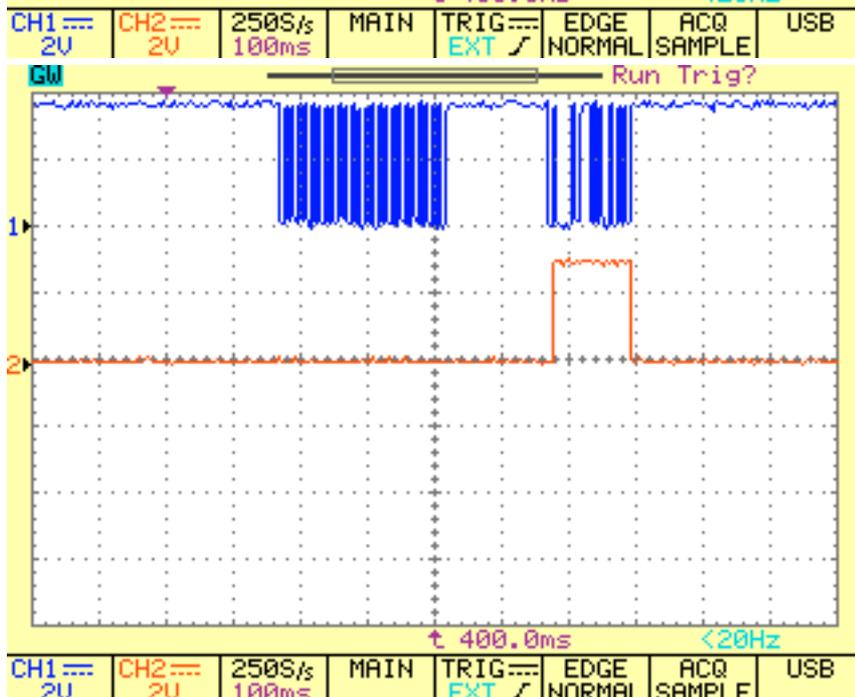
Algorithme :

- Attente de la réception d'un caractère 0x55 (phase SSMR : alternance de "0" et "1") : mise à "1" de TEST4
- Attente phase MARK (567 périodes TIM_A_Int à "1", soit 567/6800=100 bits à 1200 bauds) : mise à "0" de TEST4
- Attente 1° octet du message : mise à "1" de TEST2
- TEST2 revient à "0" à la réception du dernier octet du message



TXD (sur platine EPLD10K20)

TEST4 : conforme



TXD (sur platine EPLD10K20)

TEST2 : conforme

8. Consommation

En phase de repos : 1,6µA (MSP430F1132 seulement) avec $F_{DCO}=190kHz$ typique

Pendant la démodulation : 760µA (pendant 700mS environ)